

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-204476

(43)Date of publication of application : 13.08.1993

(51)Int.Cl.

G05F 1/56
G05F 1/618
H02M 3/155

(21)Application number : 04-032935

(71)Applicant : SONY CORP

(22)Date of filing : 24.01.1992

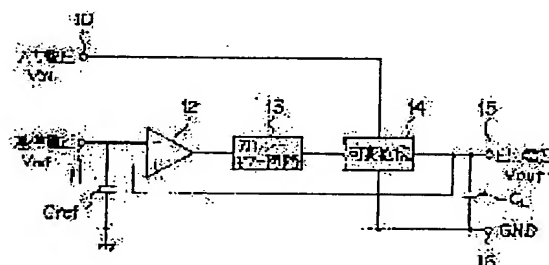
(72)Inventor : TANAKA MASATO
IZUKA TAKASHI

(54) REGULATED POWER SUPPLY CIRCUIT

(57)Abstract:

PURPOSE: To allow the characteristic of an input power voltage to be a wide band and to have voltage ripple suppression function.

CONSTITUTION: A working differential amplifier 12 feeds back an inputted reference voltage V_{ref} supplied to an inverse input terminal 11 and the output of a variable resistance part 14 mentioned later to a nonreverse input terminal. The output of the working differential amplifier 12 supplies the variable resistance part 14 via a current mirror circuit 13. The variable resistance part 14 turns input the voltage V_{IN} supplied via an input terminal 10 into suppressed ripple to output it from the output terminal 15. The other terminal side of the variable resistance part 14 is grounded.



BEST AVAILABLE COPY

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平5-204476

(43)公開日 平成5年(1993)8月13日

(51)Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
G 0 5 F 1/56	3 1 0 H	4237-5H		
1/618	3 1 0	4237-5H		
H 0 2 M 3/155	H	8726-5H		

審査請求 未請求 請求項の数 3 (全 11 頁)

(21)出願番号 特願平4-32935

(22)出願日 平成4年(1992)1月24日

(71)出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72)発明者 田中 正人

東京都品川区北品川6丁目7番35号 ソニー株式会社内

(72)発明者 井塚 隆志

東京都品川区北品川6丁目7番35号 ソニー株式会社内

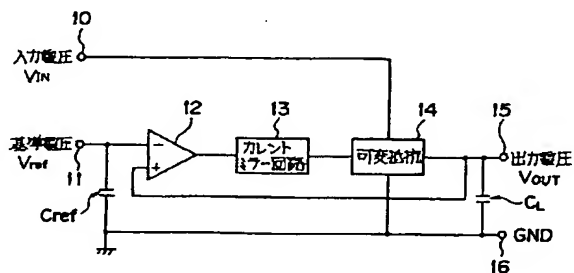
(74)代理人 弁理士 小池 晃 (外2名)

(54)【発明の名称】 安定化電源回路

(57)【要約】

【目的】 入力電源電圧の特性が広帯域で、電圧リップル抑圧能力を持たせることを目的とする。

【構成】 差動誤差アンプ12は入力端子11を介して反転入力端子に供給される基準電圧 V_{ref} と後述する可変抵抗部14の出力を非反転入力端子に帰還入力されている。この差動誤差アンプ12の出力は、カレントミラー回路13を介して可変抵抗部14に供給している。上記可変抵抗部14は入力端子10を介して供給される入力電圧 V_{IN} をリップルの抑圧されたものにして出力端子15から出力される。上記可変抵抗部14の他端側は接地させている。



【特許請求の範囲】

【請求項1】 基準電圧に対する誤差電圧を増幅する増幅手段と、
該増幅手段からの出力信号を電流増幅する電流増幅手段と、
該電流増幅手段からの出力信号に応じて入力電源から供給される入力電圧を出力する出力手段とを有し、
上記出力手段からの出力信号を上記増幅手段の入力側に帰還することを特徴とする安定化電源回路。

【請求項2】 上記増幅手段において、各段の増幅器の利得を抑えて直列的に多段化することを特徴とする請求項1記載の安定化電源回路。

【請求項3】 上記出力手段は、複数の上記電流増幅手段からの出力信号をそれぞれ上下対称的に組合せた半導体素子の一端に供給して駆動して出力させるプッシュプル回路の構成を用いることを特徴とする請求項1記載の安定化電源回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、広帯域の周波数に亘

$$V_{OUT} = \{(R12+R13)/R13\} \cdot \{R11/(R10+R11)\} \cdots \cdots (1)$$

に安定化される。

【0004】このように入力の電源電圧リップルを能動的に抑圧して出力に電圧リップルのない安定した電圧を出力する出力電圧帰還制御型のシリーズ・レギュレータでは、基準電圧と出力電圧の電圧誤差を増幅して出力段である電界効果トランジスタFET（またトランジスタ）の飽和電圧を制御して出力電圧を安定化する方法が一般的である。

【0005】次に、図8に示した概略的なブロック回路のより具体的な回路構成の例を図に示す。ここで、共通する部分に同じ参照番号を付して説明を省略する。図8に示した誤差増幅器22は、定電流源220を介してpチャンネル電界効果トランジスタTR51、TR52で差動増幅回路を構成している。また、nチャンネル電界効果トランジスタTR53、TR54はカレントミラー定電流回路を構成している。IC内部回路では、このように高抵抗部分に定電流回路を用いることが多い。

【0006】このように構成して誤差増幅器22は、電界効果トランジスタTR51のドレイン側からの出力信号を出力段のpチャンネル電界効果トランジスタTR55のゲートに供給している。

【0007】このpチャンネル電界効果トランジスタTR55は、上記した電界効果トランジスタTR51～TR54に比べてかなり大きな大電力用のパワー電界効果トランジスタ（またはトランジスタ）を使用することが多い。

【0008】

【発明が解決しようとする課題】ところで、図8に示す上記誤差増幅器22の出力から見た電界効果トランジ

スタTR55のゲート容量（またはベース容量）が大きいため、一般的に回路内部に発生する1次ボールの周波数が数Hz～数百Hzで発生する。このように入力電圧リップルを能動的に抑圧できる周波数領域は、低い周波数領域に限られるため、上記1次ボールが発生する周波数以上の周波数領域の入力電圧リップルについて、図9に示す例えば-40dBまでの能動的に抑圧する効果領域Aは、周波数が高くなると共に徐々に減少してしまう。このため、受動的に入力電圧リップルを抑制する方法が用いられる。この方法の一つは、出力側にコンデンサを接続する方法が一般的である。

【0002】

【従来の技術】従来の安定化電源回路は、例えば図7に示す概略的なブロック回路構成を構成している。先ず、入力端子20を介して供給される入力電圧VINをNPN型トランジスタTR50のエミッタ側に供給すると共に、抵抗R10の一端側に供給している。上記抵抗R10の他端側は、抵抗R11の一端側及び基準電圧Vrefを入力する入力端子21に接続している。また、上記基準電圧Vrefは、誤差増幅器22の反転入力端子に供給している。

【0003】出力電圧は、上記トランジスタTR50のコレクタ側から出力端子23を介して出力負荷24に供給すると共に抵抗R12と抵抗R13による分電圧を誤差増幅器22の非反転入力端子に供給している。このとき、上記誤差増幅器22の反転入力端子と非反転入力端子は、同電位になるように動作するため、上記出力電圧VOUTは、

タTR55（またはトランジスタ）のゲート容量（またはベース容量）が大きいため、一般的に回路内部に発生する1次ボールの周波数が数Hz～数百Hzで発生する。このように入力電圧リップルを能動的に抑圧できる周波数領域は、低い周波数領域に限られるため、上記1次ボールが発生する周波数以上の周波数領域の入力電圧リップルについて、図9に示す例えば-40dBまでの能動的に抑圧する効果領域Aは、周波数が高くなると共に徐々に減少してしまう。このため、受動的に入力電圧リップルを抑制する方法が用いられる。この方法の一つは、出力側にコンデンサを接続する方法が一般的である。

【0009】この出力電圧帰還制御型のシリーズ・レギュレータにおいて発振しないように安定動作させる受動的な方法が2つある。出力側に接続するコンデンサCLの容量を小さくすると、図9に示す高い周波数領域Cでリップル抑圧率を低下は1オクターブ当り6dB減少させることができることを示している。また、リップル抑圧率のゼロレベルと各抑圧特性が交差する点がカットオフ周波数を示している。このカットオフ周波数は、図8に示す電界効果トランジスタTR55（またはトランジスタ）のゲート容量と出力カインピーダンスによって決定される。

【0010】ところが、図9から明らかなようにリップル抑圧率がゼロの領域が生じてしまう。上記コンデンサCLの容量を大きくすれば、上記カットオフ周波数は周波数の低い方向に移動させリップル抑圧率ゼロ領域を小さくすることはできるが、上記コンデンサCLの容量を大きくしても周波数領域Bより低いカットオフ周波数になると、発振してしまう。

【0011】第2の方法として、さらにコンデンサ C_L の容量を大きくしてカットオフ周波数を下げて1次ポールより低くした場合、全周波数帯域でリップル抑圧率を低下させることができる。しかしながら、1次ポール近傍の領域 B_2 にカットオフ周波数があると、出力電圧帰還制御型のシリーズ・レギュレータは発振してしまう。上記コンデンサ C_L の容量は非常に大きな容量値に設定しなければならない。これは、コンデンサの大型化を意味して安定化電源回路の小型化を図ることができなくなってしまう。また、能動的なリップル抑圧領域の周波数帯域が非常に狭くなってしまうことから、出力負荷の過渡的な変動に対して短時間で追従・応答をすることができなくなってしまう。

【0012】そこで、本発明は上述の実情に鑑み、出力電圧帰還制御型のシリーズ・レギュレータにおいて、上述した出力側に接続するコンデンサの容量を小さく設定しても回路内部で発生する1次ポールの周波数を高周波領域に設定して能動的なリップル抑圧特性を広帯域化し、さらに過渡的な出力負荷変動の応答に対しても効果を発揮する安定化電源回路の提供を目的とするものである。

【0013】

【課題を解決するための手段】本発明に係る安定化電源回路は、基準電圧に対する誤差電圧を増幅する増幅手段と、該増幅手段からの出力信号を電流増幅する電流増幅手段と、該電流増幅手段からの出力信号に応じて入力電源から供給される入力電圧を出力する出力手段とを有し、上記出力手段からの出力信号を上記増幅手段の入力側に帰還することにより、上述した課題を解決する。

【0014】ここで、上記増幅手段は、各段の増幅器の利得を抑えて周波数特性を延ばすと共に、直列的に多段化することで高利得をえるようにすればよい。上記電流増幅手段は例えばカレントミラー回路の構成を用いて電流増幅を行う。また、上記出力手段は、複数の上記電流増幅手段からの出力信号をそれぞれ上下対称的に組合せた半導体素子の一端に供給して駆動して出力させるプッシュプル回路の構成を用いてもよい。

【0015】

【作用】本発明に係る安定化電源回路は、基準電圧に対する誤差電圧を増幅した出力信号を電流増幅する例えばカレントミラー回路を出力手段の間に配して従来において上記増幅手段から見た上記出力手段の大きな容量を小さく見せることで回路内部に発生する1次ポールを高周波数の領域に移すことにより、出力手段に入力電源から供給される入力電圧を安定化、かつリップルのない出力にしている。さらに、上記増幅手段を各段の増幅器の利得を抑えて周波数特性を延ばすと共に、直列的に多段化して能動的なリップル抑圧率の周波数領域をより広く確保する。また、上記出力手段をプッシュプル回路の構成を採ることによって過渡的な出力負荷の変動に対して出

力電圧の応答特性・安定化を図っている。

【0016】

【実施例】以下、本発明に係る安定化電源回路の実施例について図面を参照しながら説明する。

【0017】図1は、本発明に係る安定化電源回路における基本的なブロック構成を示す第1の実施例の概略的ブロック回路である。上記安定化電源回路は、基準電圧に対する誤差電圧を増幅する増幅手段である差動誤差アンプ12と、該差動誤差アンプ12からの出力信号を電流増幅する電流増幅手段であるカレントミラー回路13と、該カレントミラー回路13からの出力信号に応じて入力電源から供給される入力電圧を安定化して出力する出力手段である可変抵抗部14で構成している。

【0018】入力端子10を介して入力電源から入力電圧 V_{IN} が可変抵抗部14の一端に供給される。また、入力端子11を介して基準電圧 V_{ref} が上記差動誤差アンプ12の反転入力端子側に供給されている。基準電圧用のコンデンサ C_{ref} は、この入力端子11と上記差動誤差アンプ12の反転入力端子間の一端とアース間に配設している。上記差動誤差アンプ12の非反転入力端子側は、後述する可変抵抗部14からの出力信号を帰還入力している。

【0019】上記差動誤差アンプ12の出力信号は、上記カレントミラー回路13に出力する。カレントミラー回路13は、供給された信号に基づき電流増幅をして上記可変抵抗部14に出力する。この可変抵抗部14は、電界効果トランジスタ（またはトランジスタ）や抵抗等で構成されている。ここで、上記電界効果トランジスタは、MOS（Metal Oxide Semiconductor）型のデバイスを用いるのが一般的である。

【0020】前述した出力電圧帰還制御型のシリーズ・レギュレータにおける1次ポールは、上記電界効果トランジスタ（またはトランジスタ）の出力インピーダンス、特にゲート容量（またはベース容量）に依存して発生していた。この1次ポールの発生に対処する方法は、全周波数帯域のリップル抑圧率をよく抑え込むため大容量のコンデンサ C_L を出力側に配設させる方法があった。しかしながら、使用するコンデンサの容量があまりに大き過ぎるため実用的でなかった。

【0021】ところで、差動誤差アンプ12と可変抵抗部14の間にカレントミラー回路13を配設することにより、差動誤差アンプ12の出力から見た可変抵抗部14内の電界効果トランジスタ（またはトランジスタ）の出力インピーダンスを小さくすることができる。このことにより、リップル抑圧率がゼロの領域を生じることなく、このカットオフ周波数用に用いるコンデンサ C_L の容量を小さくしても十分全周波数帯域のリップル抑圧率を抑え込むことができる。

【0022】上記可変抵抗部14からの出力信号は、出力端子15を介して出力電圧 V_{OUT} として負荷（図示せ

ず)に供給される。また、出力端子16は接地端子である。

【0023】このような構成にすることにより、差動誤差アンプの後段にカレントミラー回路を設けることによって、差動誤差アンプの出力から見た大電力用の電界効果トランジスタ(またはトランジスタ)の出力インピーダンスを小さくして出力側に配設するコンデンサの容量を小さいながら、全周波数帯域に亘ってリップル抑圧率の向上を図ることができるようになる。

【0024】次に、能動的なリップル抑圧率の広帯域化について図2に示す第2の実施例における概略的なブロック回路を参照しながら説明する。ここで、共通する部分には、同じ参照番号を付して説明を省略する。この能動的なリップル抑圧率の広帯域化にあたり上記差動誤差アンプ12は、複数の差動誤差アンプを使用すると共に、各段の増幅器の利得を抑えて直列的に多段化して用いる構成を採る。例えば図2に示す第1段目の差動誤差アンプ12aは、出力をそれぞれ第2段目の差動誤差アンプ12bの反転入力端子と非反転入力端子に供給する。個々の差動誤差アンプの周波数特性を延ばすために差動誤差アンプの利得は落としている。所望の利得は、このように複数個の差動誤差アンプを直列的に接続することにより得ている。

【0025】実際の入力電圧のリップル抑圧特性を図3に示して説明する。まず、図3において目につく点は、1次ボールの発生する周波数が、150kHz~200kHzと従来の数Hz~数百Hzに比して格段に高周波数帯域に向上させたことである。図3においてリップル抑圧率を-40dB程度に抑えた領域Aが非常に広い範囲に亘って確保することができる。この1次ボールより高い周波数領域ではリップル抑圧は下がってしまう。このため、前述した出力側に配設するコンデンサ C_L でカットオフ周波数を1次ボールの周波数より低周波数になるように設定して高域を遮断する。

【0026】このカットオフ周波数のコンデンサ C_L の容量が小さい程、高い周波数でカットオフ周波数を設定することができる。しかしながら、1次ボールから低周波数側の領域Bは、位相回りが大きくなるためカットオフ周波数と交差した場合、発振してしまう領域を示している。このため、この領域Bにかからない周波数をカットオフ周波数にコンデンサ C_L の容量を設定する。このようにして1オクターブあたり-6dBリップルを低減させる受動的なリップル抑圧領域Cが設定される。

【0027】このように構成することにより、電源電圧の安定供給時において能動的なリップル抑圧率の周波数領域をより広く例えば従来よりオーダ的に $10^3 \sim 10^5$ の周波数特性を改善する。

【0028】さらに、図4に示す出力負荷の変動に対する応答性・安定性を確保するための第3の実施例における概略的なブロック回路を参照しながら説明する。こ

で、上述と共通する部分には、同じ参照番号を付して説明を省略する。

【0029】出力負荷の変動に対する応答性・安定性をよくするために上記可変抵抗部14は、複数の上記カレントミラー回路13a、13bからの出力信号をそれぞれ上下対称的に組合せた半導体素子である電界効果トランジスタTR14a、TR14bのゲートに供給して駆動して出力させるプッシュプル回路を構成する。

【0030】プッシュプル回路を構成するため、例えば上記電界効果トランジスタTR14aはpチャンネルを、一方、上記電界効果トランジスタTR14bはnチャンネルの電界効果トランジスタを用いている。

【0031】このプッシュプル回路構成に応じて前段のカレントミラー回路13もトップ側及びボトム側カレントミラー回路13a、13bの2つを設ける。このために、さらに前段の差動誤差アンプ12bの出力をトップ側及びボトム側の2つにそれぞれ供給している。

【0032】出力負荷と出力電圧 V_{OUT} の関係を図5に簡単に示す。図5(a)は出力負荷の大きさを示し、重い負荷を高いレベルで表示している。上記図5(a)の出力負荷の大きさに応じて図5に示す出力電圧 V_{OUT} が過渡的に変動する様子を示している。点線は、従来の応答を示している。図5(b)の出力電圧 V_{OUT} の波形が示すように例えば従来の重負荷から軽負荷に変動した際の過渡的な応答は安定するまでに要する時間が非常に長くなっている。しかしながら、プッシュプル回路構成を用いることによってそれぞれにかかる負荷を軽減することができることから、図5(b)の実線が示すように応答を負荷の如何にかかわらず早く収束させることができるようになる。

【0033】なお、プッシュプル回路の構成において使用する半導体素子は上記電界効果トランジスタに限定されるものでなく、トランジスタを用いても構成することができる。また、前述した実施例が示すように例えば図4に示す構成の差動アンプ12bを省いて1つで構成するブロック回路や図4に示すボトム側のカレントミラー回路13bを省いた構成によるブロック回路でもそれぞれ独立的使用することができ、本発明の安定過電源回路の動作、すなわち1次ボールを高周波数の領域に遷移させることができることは明らかである。

【0034】前述した概略的なブロック回路の構成に基づく図6に示すより具体的な回路を参照しながら説明する。ここで、上述と共通する部分には、同じ参照番号を付して説明を省略する。電源から入力端子10を介して入力電圧 $V_{IN}=4.5V$ が安定化電源回路に供給されている。前段の差動誤差アンプ12aにおける電界効果トランジスタTR20の反転入力端子は、入力端子11と接続している。この接続によって上記反転入力端子は、基準電圧 V_{ref} が供給されている。上記反転入力端子は、nチャンネルの電界効果トランジスタTR20のゲ

ート端子である。また、前段差動誤差アンプ12aにおける電界効果トランジスタTR21の非反転入力端子に出力電圧 V_{OUT} が直接帰還されている。

$$V_{ref} = \{R2 / (R1 + R2)\} \cdot V_{IN} \quad \dots\dots (2)$$

と表される。実際に用いる抵抗 $R1 = 15k\Omega$ 、抵抗 $R2 = 215k\Omega$ の設定によって上記基準電圧 V_{ref} は、4.2Vになる。この差動誤差アンプ12は、反転入力端子と非反転入力端子の各電位が等しくなるように動作する。このため、最終の出力電圧 V_{OUT} も4.2Vで安定化される。

【0036】前段の差動誤差アンプ12aは、上記電界効果トランジスタTR20、TR21の2つで基本的な差動誤差アンプを構成する。差動誤差アンプ12aは、電界効果トランジスタTR22、TR23の各ドレイン側間を抵抗 $R3$ と抵抗 $R4$ で直列に接続し両抵抗の中点を上記電界効果トランジスタTR22、TR23の各ゲート側と接続している。ここで、上記抵抗 $R3$ と抵抗 $R4$ の抵抗値は同じにして能動的なリップル抑圧率の周波数領域を広げるため利得を抑えている。

【0037】上記電界効果トランジスタTR22のドレインは、後段の差動誤差アンプ12bの非反転入力端子側である電界効果トランジスタTR25のゲートに接続している。また、上記電界効果トランジスタTR23のドレインは、後段の差動誤差アンプ12bの反転入力端子側である電界効果トランジスタTR24のゲートに接続している。

【0038】この後段の差動誤差アンプ12bも電界効果トランジスタTR24～TR27の4個を用いた上記前段の差動誤差アンプ12aと全く同じ構成をしている。この後段の差動誤差アンプ12bにおいて電界効果トランジスタTR26とTR27のドレイン側間に配設する抵抗 $R5$ と抵抗 $R6$ の抵抗値は、例えば $150k\Omega$ と $100k\Omega$ にして多少利得を上げて所望の利得にしている。

【0039】なお、電界効果トランジスタTR37～TR48は、前段の差動誤差アンプ12aと後段の差動誤差アンプ12bに対してカレントミラー回路による定電流源を構成している。

【0040】この後段の差動誤差アンプ12bの出力は、電界効果トランジスタTR26と電界効果トランジスタTR27のドレインを介してそれぞれ独立した2系統のカレントミラー回路13a、13b内の電界効果トランジスタTR28と電界効果トランジスタTR29のゲートに供給している。これらの接続によって上記電界効果トランジスタTR28とTR29は、それぞれのドレイン電流の制御を受けている。

【0041】図4に示したトップ側のカレントミラー回路13aは、上記電界効果トランジスタTR28、TR30及びTR31で構成するカレントミラー回路13a₁と電界効果トランジスタTR33～TR35で構成し

【0035】この図6に示す基準電圧 V_{ref} は、抵抗 $R1$ と抵抗 $R2$ 及び入力電圧 V_{IN} で

たカレントミラー回路13a₂による2段構成にしている。

【0042】上記カレントミラー回路13a₁における電界効果トランジスタTR28は、上記電界効果トランジスタTR28に流れるドレイン電流と同じドレイン電流を電界効果トランジスタTR30、TR31のカレントミラー回路に流すためのものである。しかしながら、電界効果トランジスタTR30、TR31は電流増幅の比が1:10のカレントミラー回路を構成していることから、上記カレントミラー回路13a₁は、電界効果トランジスタTR31が電界効果トランジスタTR30の10倍のドレイン電流を流すことになる。

【0043】上記電界効果トランジスタTR31のドレインはカレントミラー回路13a₂を構成する電界効果トランジスタTR33のドレインと電界効果トランジスタTR34のゲートに接続している。このため、電界効果トランジスタTR33は、電界効果トランジスタTR31と同じドレイン電流が流れる。さらに、電界効果トランジスタTR33とTR35は電流増幅の比が10:1000のカレントミラー回路になっている。このため、電界効果トランジスタTR35は、電界効果トランジスタTR31の1000倍の電流を出力することになる。従って、トップ側のカレントミラー回路13aは、カレントミラー回路13a₁カレントミラー回路13a₂の2段構成によって電流増幅率が1000倍になる。

【0044】また、図4に示したボトム側のカレントミラー回路13bは、上記電界効果トランジスタTR29、TR32及びTR36で構成している。電界効果トランジスタTR32に上記電界効果トランジスタTR29に流れるドレイン電流と同じドレイン電流が流れる。電界効果トランジスタTR32、TR36は電流増幅の比が1:2のカレントミラー回路を構成していることから、電界効果トランジスタTR36は電界効果トランジスタTR32の2倍のドレイン電流を流すことになる。従って、ボトム側のカレントミラー回路13bは、電流増幅率が2倍ということになる。

【0045】可変抵抗部14は、上記カレントミラー回路13a₂における電界効果トランジスタTR35が相当し、大電流を出力可能にしている。この可変抵抗部14において図6に示す電界効果トランジスタTR35とTR36は、ブッシュアップ回路を構成している。上記電界効果トランジスタTR36を配設してこのブッシュアップ回路構成にすることによって、出力負荷変動に応じた過渡的な応答を良好にすることができる。

【0046】大電力供給用のパワー電界効果トランジスタを用いたブッシュアップ回路の出力は、安定に出力電圧

$V_{OUT} = 4.2 \text{ V}$ を出力端子 15 を介して出力する。この出力電圧 V_{OUT} は、前述した前段の差動誤差アンプ 12a の非反転入力端子に帰還供給している。

【0047】なお、上記電界効果トランジスタ TR34 は電界効果トランジスタ TR35 のゲートのミラー容量を小さくするためのフォロワー用電界効果トランジスタである。また、定電流源 I_{ref2} は上記電界効果トランジスタ TR34 の負荷になっている。

【0048】このように後段の差動誤差アンプ 12b と可変抵抗部 14 の間にカレントミラー回路 13 を配設することによって後段の差動誤差アンプ 12b からの出力は、電界トランジスタ TR28、TR29 を非常に小さなサイズのもので済ませることができる。このため、上記後段の差動誤差アンプ 12b の出力から見た各電界効果トランジスタ TR28、TR29 のゲート容量も小さく見えることになる。これによって、安定化電源回路の内部で発生する 1 次ボールの周波数を従来の発生する周波数よりもさらに高い周波数に上げることができる。このように図 6 に示す出力側のコンデンサ C_L の容量を小さく抑えた実用的、かつ広い周波数帯域に亘って十分なリップル抑圧特性を有する低ドロップアウト出力電圧帰還制御型のシリーズ・レギュレータを実現することができる。

【0049】

【発明の効果】以上の説明からも明らかなように、本発明の安定化電源回路によれば、基準電圧に対する誤差電圧を増幅する増幅手段と、該増幅手段からの出力信号を電流増幅する電流増幅手段と、該電流増幅手段からの出力信号に応じて入力電源から供給される入力電圧を安定化して出力する出力手段とを有し、上記出力手段からの出力信号を上記増幅手段の入力側に帰還することにより、差動誤差アンプの出力から見た大電力用の電界効果トランジスタ（またはトランジスタ）の出力インピーダンスを小さくして出力側に配設するコンデンサの容量を小さくすると共に、1 次ボールが発生する周波数を高い周波数の方向に遷移させて使用する全周波数帯域に亘ってリップル抑圧率の向上を図ることができるようになる。

【0050】上記増幅手段において各段の増幅器の利得を抑えて直列的に多段化することにより、安定化電源回路の内部で発生する 1 次ボールの周波数を上述した周波数よりもさらに高い周波数へ上げることができるようになる。

【0051】また、上記出力手段において複数の上記電流増幅手段からの出力信号をそれぞれ上下対称的に組合せた半導体素子の一端に供給して駆動して出力させるブッシュアップ回路の構成にすることにより、広帯域に亘るリップル抑圧特性を有しながら、相乗多岐に過渡的な出力負荷の変動に対しても出力電圧の良好な応答特性・安定性を実現することができる。

【図面の簡単な説明】

【図 1】本発明に係る安定化電源回路の第 1 の実施例における概略的ブロック回路構成を示す図である。

【図 2】本発明に係る安定化電源回路の第 2 の実施例における概略的ブロック回路構成を示す図である。

【図 3】図 2 に示した回路構成において周波数に対するリップル抑圧特性を示す図である。

【図 4】本発明に係る安定化電源回路の第 3 の実施例における概略的ブロック回路構成を示す図である。

【図 5】図 4 に示したブロック回路構成における出力負荷と出力電圧の関係を示す図である。

【図 6】安定化電源回路のより具体的な回路構成を示す図である。

【図 7】従来の安定化電源回路の概略的なブロック回路図である。

【図 8】従来の安定化電源回路におけるより具体的な回路を示す図である。

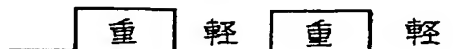
【図 9】図 7 及び図 8 に示した回路構成における周波数に対するリップル抑圧特性を示す図である。

【符号の説明】

- 10、11・・・・・・入力端子
- 12・・・・・・差動誤差アンプ
- 13・・・・・・カレントミラー回路
- 14・・・・・・可変抵抗部
- 15、16・・・・・・出力端子

【図 5】

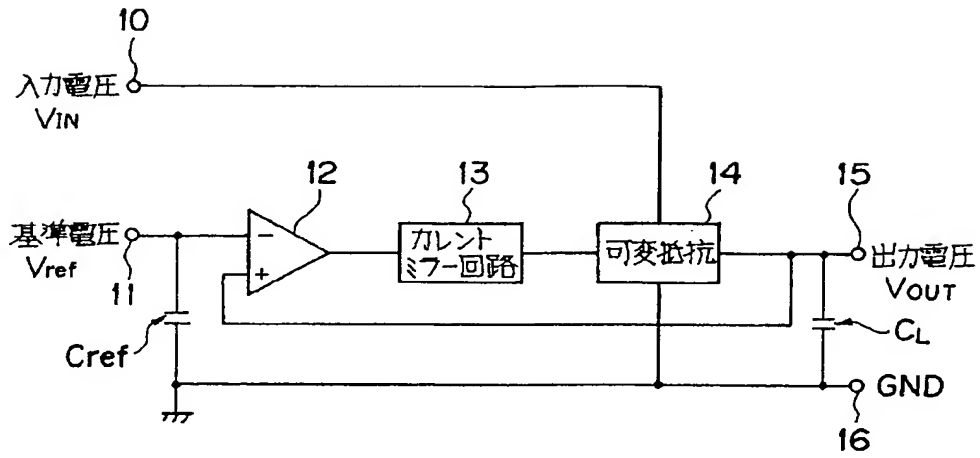
(a) 出力負荷



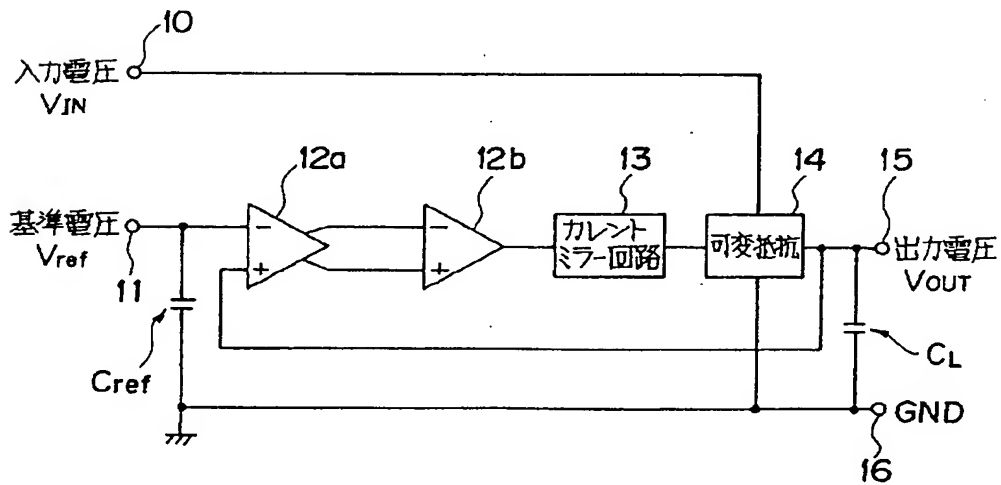
(b) 出力電圧
 V_{OUT}



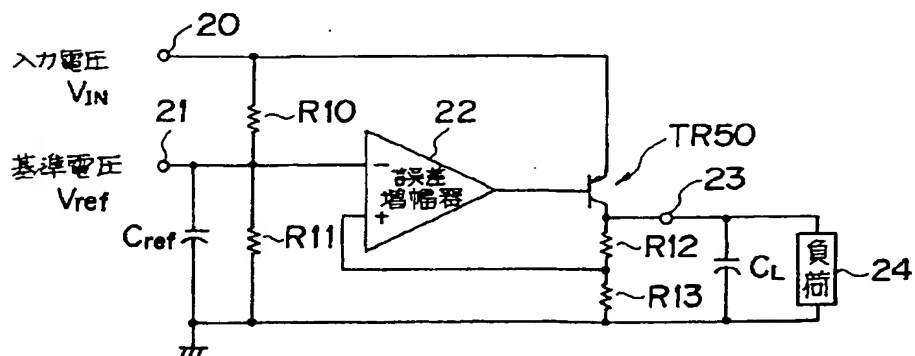
【図1】



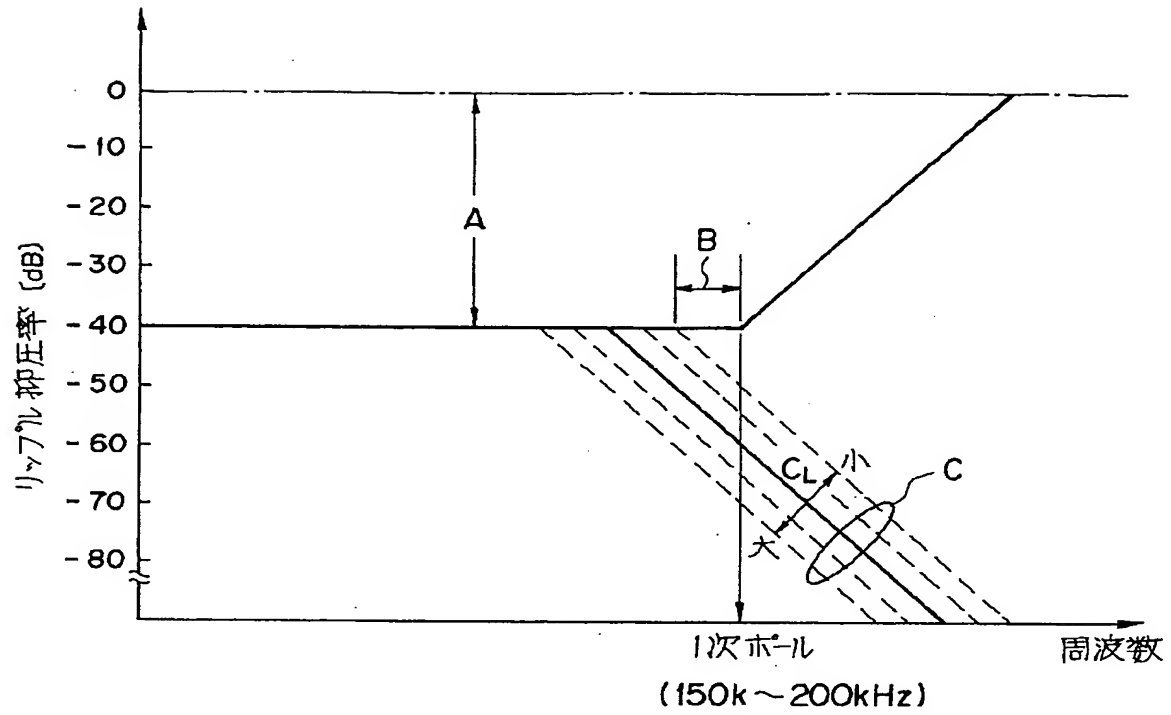
【図2】



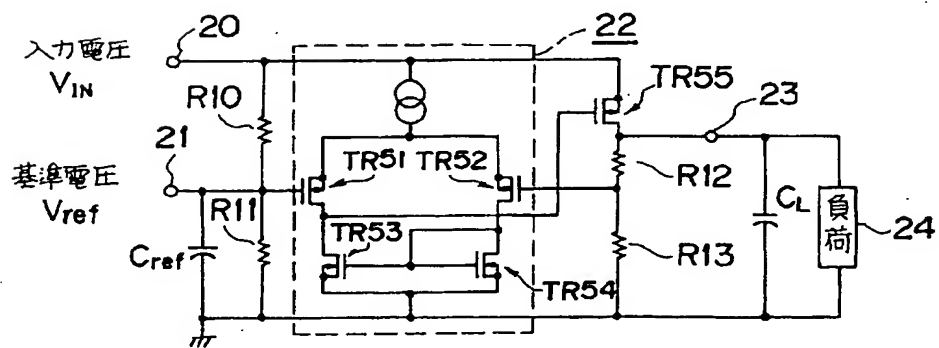
【図7】



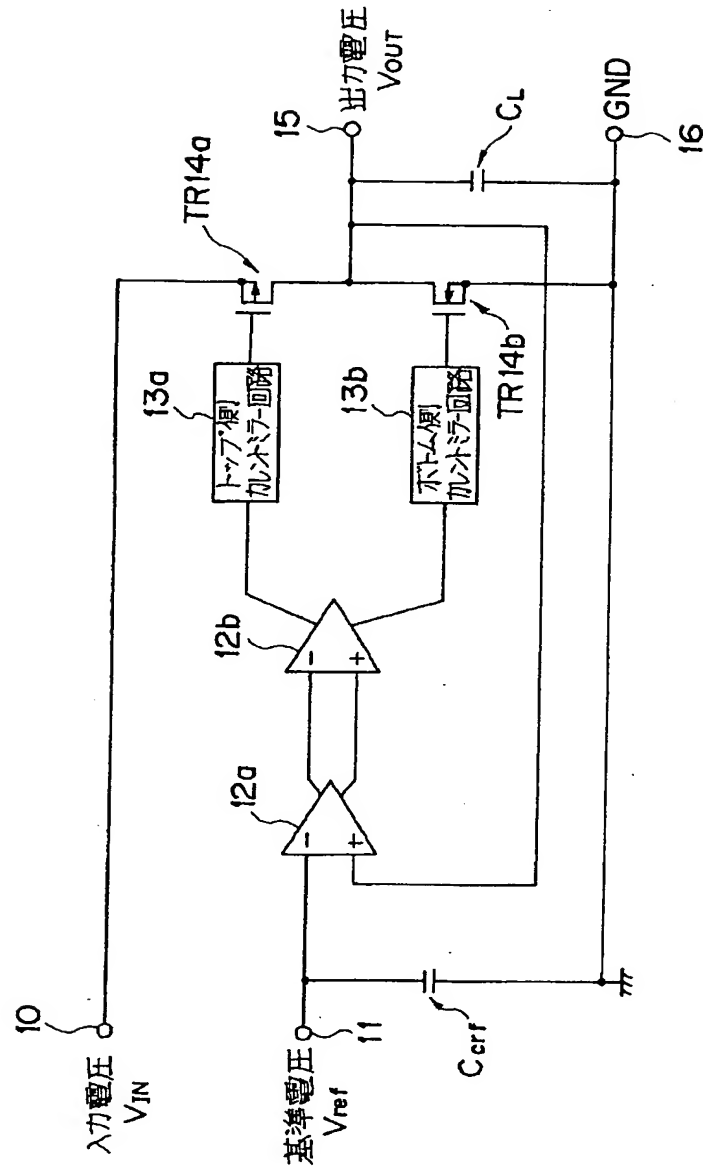
【図3】



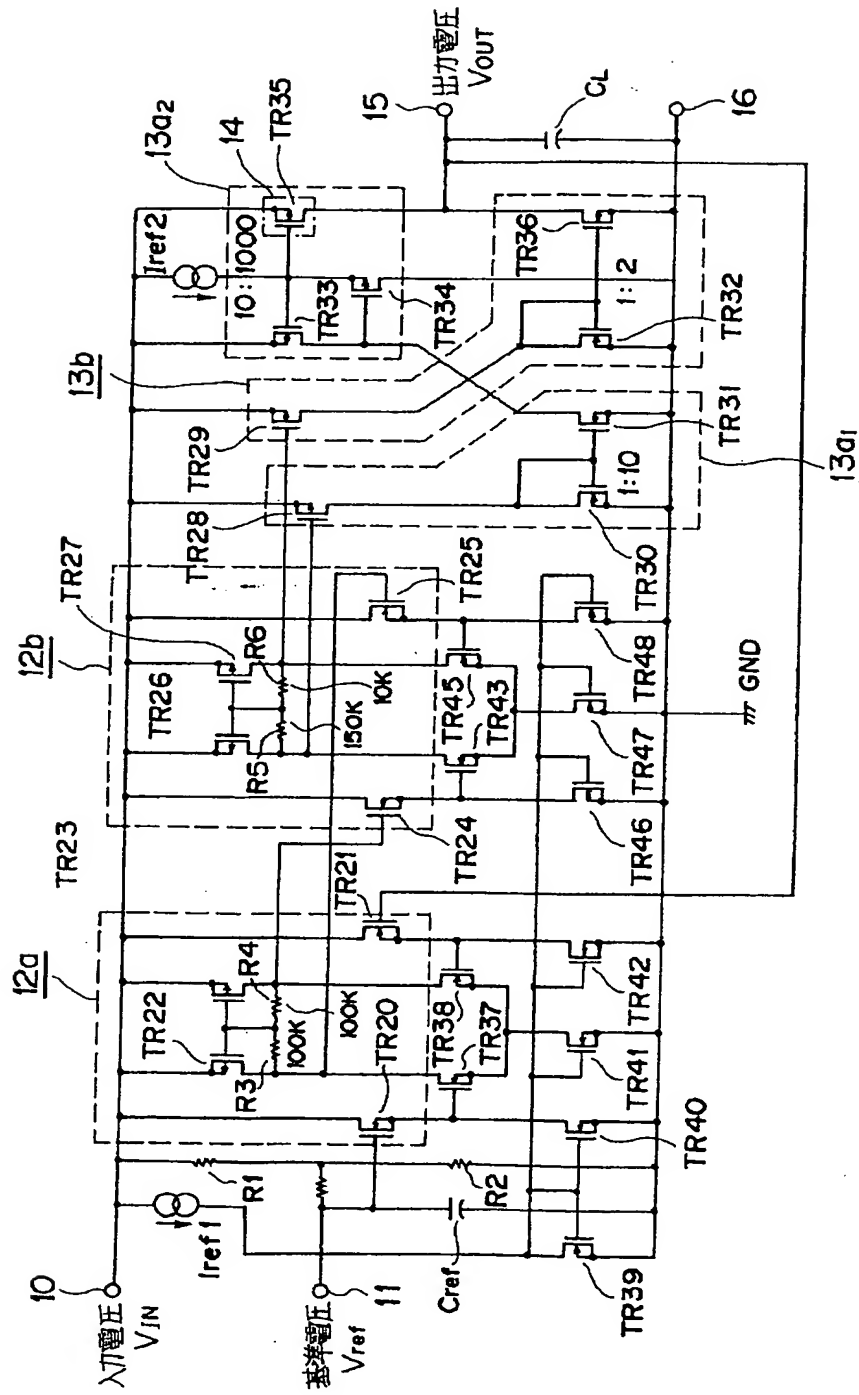
【図8】



【図4】



【図6】



【図9】

